

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-338978

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H01L 21/768  
H01L 21/312

(21)Application number : 2000-159545

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.05.2000

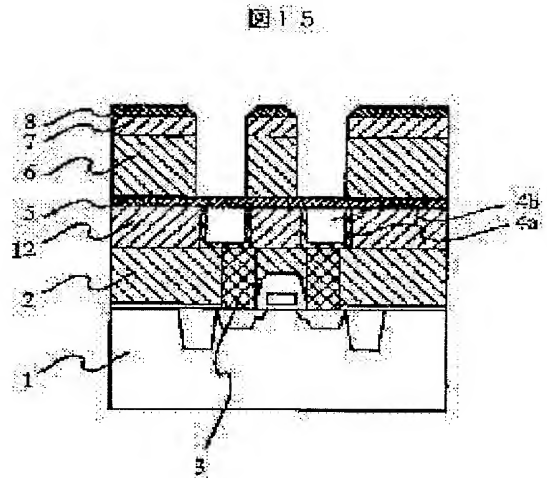
(72)Inventor : FURUSAWA KENJI  
KUMIHASHI KOSEI  
MACHIDA SHUNTARO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To process the groove of a high aspect ratio on the methylsiloxane-based film of low dielectric constant without producing continuity inferiority due to shape deterioration even in the case that lower layer wiring is covered by an etching protection film.

**SOLUTION:** A laminated film forming an oxidation silicon-based film 7 is formed on the upper layer of the methylsiloxane-based film 6, and is processed by means of a hard mask 8. When the etching protection film 5 is etched, the oxidation protection silicon-based film 7 acts as the hard mask of the methylsiloxane-based film 6, and the parasitic capacity of multi-layer wiring can be reduced without producing breaking and short circuit inferiority because shoulder omission is prevented from transferring to the methylsiloxane-based film 6.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-338978

(P2001-338978A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマト* (参考)
H 0 1 L 21/768		H 0 1 L 21/312	C 5 F 0 3 3
21/312		21/90	J 5 F 0 5 8
			A

審査請求 未請求 請求項の数41 O L (全 12 頁)

(21) 出願番号 特願2000-159545(P2000-159545)

(22) 出願日 平成12年5月25日 (2000.5.25)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 古澤 健志  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72) 発明者 組橋 孝生  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(74) 代理人 100075096  
弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

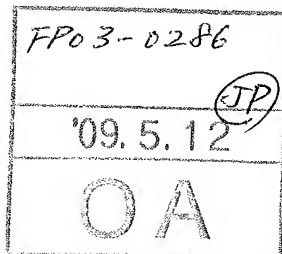
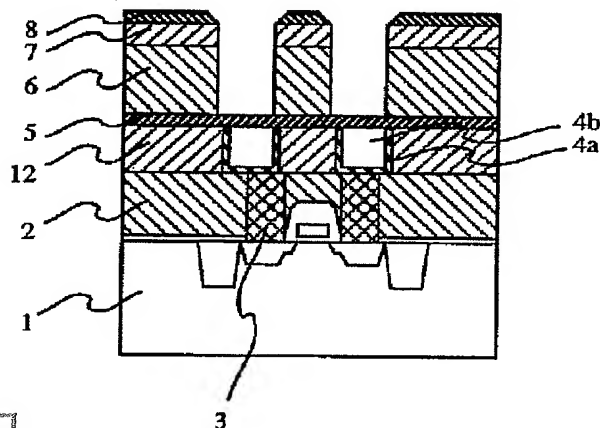
(57) 【要約】

【課題】 下層配線がエッチング保護膜に覆われている場合でも、形状劣化による導通不良を起こすことなく、低誘電率のメチルシロキサン系膜に高アスペクト比の溝や孔を加工する。

【解決手段】 メチルシロキサン系膜6の上層に酸化ケイ素系膜7を形成した積層膜を形成し、ハードマスク8を用いてこの積層膜を加工する。

【効果】 エッチング保護膜5をエッチングする際には、酸化ケイ素系膜7がメチルシロキサン系膜6のハードマスクとして作用し、メチルシロキサン系膜6に肩落ちが転写するのを防ぐため、断線・短絡不良を起こすことなく、多層配線の寄生容量を低減できる。

図 1 5



## 【特許請求の範囲】

【請求項 1】以下の工程を有する半導体装置の製造方法。

第 1 の導体膜上にメチルシロキサン系膜を形成する第 1 工程

上記メチルシロキサン系膜上に上記メチルシロキサン系膜と異なる絶縁膜を形成する第 2 工程

上記絶縁膜上にハードマスクを形成する第 3 工程

レジストをマスクとして上記ハードマスクにパターンを転写した後、上記レジストを除去する第 4 工程

上記ハードマスクをマスクとして上記メチルシロキサン系膜と上記絶縁膜の積層膜を部分的に除去し、上記第 1 の導体膜の一部を露出する第 5 工程

上記第 5 工程で形成された上記積層膜の凹部に上記第 1 の導体膜と電気的に接続された第 2 の導体膜を形成する第 6 工程

【請求項 2】前記絶縁膜は、エッチング速度が前記ハードマスクの 1/3 以下である請求項 1 記載の半導体装置の製造方法

【請求項 3】前記絶縁膜が、酸化ケイ素系膜である請求項 2 記載の半導体装置の製造方法。

【請求項 4】前記メチルシロキサン系膜が有機 SOG 膜である請求項 3 記載の半導体装置の製造方法。

【請求項 5】前記ハードマスクが、窒化珪素系膜或いは炭化珪素系膜である請求項 4 記載の半導体装置。

【請求項 6】前記第 1 工程の前に、前記第 1 の導体膜上にエッチング保護膜を形成する工程を有し、前記第 1 工程で上記エッチング保護膜上に前記メチルシロキサン系膜を形成し、第 5 工程で上記エッチング保護膜と前記メチルシロキサン系膜と前記絶縁膜の積層膜を部分的に除去する請求項 5 記載の半導体装置の製造方法。

【請求項 7】前記エッチング保護膜が、窒化珪素系膜或いは炭化珪素系膜である請求項 6 記載の半導体装置の製造方法。

【請求項 8】前記第 5 工程で、前記ハードマスクも除去される請求項 7 記載の半導体装置の製造方法。

【請求項 9】前記第 1 及び第 2 の導体膜が、バリヤメタル膜と銅膜の積層膜である請求項 5 記載の半導体装置の製造装置。

【請求項 10】前記バリヤメタル膜が、窒素チタン膜或いは窒化タantal膜である請求項 9 記載の半導体装置の製造方法。

【請求項 11】前記第 1 の導体膜が層間接続であり、前記第 2 の導体膜が配線である請求項 5 記載の半導体装置の製造方法。

【請求項 12】前記第 1 の導体膜が配線であり、前記第 2 の導体膜が層間接続である請求項 5 記載の半導体装置の製造方法。

【請求項 13】以下の工程を有する半導体装置の製造方法。

第 1 の配線の上に第 1 のメチルシロキサン系膜を形成する第 1 工程

上記第 1 のメチルシロキサン系膜上にメチルシロキサン系膜と異なる第 1 の絶縁膜を形成する第 2 工程

上記第 1 の絶縁膜上に第 1 のハードマスクを形成する第 3 工程

第 1 のレジストをマスクとして上記第 1 のハードマスクに孔パターンを転写した後、上記第 1 のレジストを除去する第 4 工程

10 上記第 1 のハードマスク上に第 2 のメチルシロキサン系膜を形成する第 5 工程

上記第 2 のメチルシロキサン系膜上にメチルシロキサン系膜と異なる第 2 の絶縁膜を形成する第 6 工程

上記第 2 の絶縁膜上に第 2 のハードマスクを形成する第 7 工程

第 2 のレジストをマスクとして上記第 2 のハードマスクに上記孔パターンとの平面的重なりを有する溝パターンを転写した後、上記第 2 のレジストを除去する第 8 工程

20 上記第 1 及び第 2 のハードマスクをマスクとして、上記第 2 のメチルシロキサン系膜と上記第 2 の絶縁膜の積層膜中に溝を、上記第 1 のメチルシロキサン系膜と上記第 1 の絶縁膜の積層膜中に孔をそれぞれ形成し、上記第 1 の配線の一部を露出する第 9 工程

上記第 9 工程で形成された上記溝と上記孔の内部に上記第 1 の配線と電気的に接続された導体膜を形成する第 10 工程

【請求項 14】前記第 1 及び第 2 の絶縁膜は、エッチング速度が前記第 1 及び第 2 のハードマスクの 1/3 以下である請求項 13 記載の半導体装置の製造方法。

30 【請求項 15】前記第 1 及び第 2 の絶縁膜が、酸化ケイ素系膜である請求項 14 記載の半導体装置の製造方法。

【請求項 16】前記第 1 及び第 2 のメチルシロキサン系膜が有機 SOG 膜である請求項 15 記載の半導体装置の製造方法。

【請求項 17】前記第 1 及び第 2 のハードマスクが、窒化珪素系膜或いは炭化珪素系膜である請求項 16 記載の半導体装置。

40 【請求項 18】前記第 1 工程の前に、前記第 1 の配線の上にエッチング保護膜を形成する工程を有し、前記第 1 工程で上記エッチング保護膜上に前記第 1 のメチルシロキサン系膜を形成し、第 9 工程で上記エッチング保護膜と前記第 1 のメチルシロキサン系膜と前記第 1 絶縁膜の積層膜中に孔を形成する請求項 17 記載の半導体装置の製造方法。

【請求項 19】前記エッチング保護膜が、窒化珪素系膜或いは炭化珪素系膜である請求項 18 記載の半導体装置の製造方法。

【請求項 20】前記第 9 工程で、前記第 2 のハードマスクも除去される請求項 19 記載の半導体装置の製造方法。

【請求項 2 1】前記導体膜が、バリヤメタル膜と銅膜の積層膜である請求項 1 7 記載の半導体装置の製造装置。

【請求項 2 2】前記バリヤメタル膜が、窒素チタン膜或いは窒化タンタル膜である請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 3】前記孔内の前記導体膜が層間接続であり、前記溝内の前記導体膜が第 2 の配線である請求項 1 7 記載の半導体装置の製造方法。

【請求項 2 4】以下の工程を有する半導体装置の製造方法。

第 1 の配線上に第 1 のメチルシロキサン系膜を形成する第 1 工程

上記第 1 のメチルシロキサン系膜上にメチルシロキサン系膜と異なる第 1 の絶縁膜を形成する第 2 工程

上記第 1 の絶縁膜上に第 1 のハードマスクを形成する第 3 工程

上記第 1 のハードマスク上に第 2 のメチルシロキサン系膜を形成する第 4 工程  
上記第 2 のメチルシロキサン系膜上にメチルシロキサン系膜と異なる第 2 の絶縁膜を形成する第 5 工程

上記第 2 の絶縁膜上に第 2 のハードマスクを形成する第 6 工程

第 1 のレジストをマスクとして上記第 2 のハードマスクに溝パターンを転写した後、上記第 1 のレジストを除去する第 7 工程

第 2 のレジストをマスクとして、上記第 1 のハードマスクと上記第 2 のメチルシロキサン系膜と上記第 2 の絶縁膜の積層膜に上記溝パターンとの平面的重なりを有する孔パターンを転写した後、上記第 2 のレジストを低圧酸素プラズマ処理により除去する第 8 工程

上記第 1 及び第 2 のハードマスクをマスクとして、上記第 2 のメチルシロキサン系膜と上記第 2 の絶縁膜の積層膜中に溝を、上記第 1 のメチルシロキサン系膜と上記第 1 の絶縁膜の積層膜中に孔をそれぞれ形成し、上記第 1 の配線の一部を露出する第 9 工程

上記第 9 工程で形成された上記溝と上記孔の内部に上記第 1 の配線と電気的に接続された導体膜を形成する第 1 0 工程

【請求項 2 5】前記第 1 及び第 2 の絶縁膜は、エッチング速度が前記第 1 及び第 2 のハードマスクの 1 / 3 以下である請求項 2 4 記載の半導体装置の製造方法。

【請求項 2 6】前記第 1 及び第 2 の絶縁膜が、酸化ケイ素系膜である請求項 2 5 記載の半導体装置の製造方法。

【請求項 2 7】前記第 1 及び第 2 のメチルシロキサン系膜が有機 S O G 膜である請求項 2 6 記載の半導体装置の製造方法。

【請求項 2 8】前記第 1 及び第 2 のハードマスクが、窒化珪素系膜或いは炭化珪素系膜である請求項 2 7 記載の半導体装置。

【請求項 2 9】前記第 1 工程の前に、前記第 1 の配線上

にエッチング保護膜を形成する工程を有し、前記第 1 工程で上記エッチング保護膜上に前記第 1 のメチルシロキサン系膜を形成し、第 9 工程で上記エッチング保護膜と前記第 1 のメチルシロキサン系膜と前記第 1 絶縁膜の積層膜中に孔を形成する請求項 2 8 記載の半導体装置の製造方法。

【請求項 3 0】前記エッチング保護膜が、窒化珪素系膜或いは炭化珪素系膜である請求項 2 9 記載の半導体装置の製造方法。

10 【請求項 3 1】前記第 9 工程で、前記第 2 のハードマスクも除去される請求項 3 0 記載の半導体装置の製造方法。

【請求項 3 2】前記導体膜が、バリヤメタル膜と銅膜の積層膜である請求項 2 8 記載の半導体装置の製造装置。

【請求項 3 4】前記バリヤメタル膜が、窒素チタン膜或いは窒化タンタル膜である請求項 3 2 記載の半導体装置の製造方法。

【請求項 3 5】前記孔内の前記導体膜が層間接続であり、前記溝内の前記導体膜が第 2 の配線である請求項 2 8 記載の半導体装置の製造方法。

20 【請求項 3 6】層間絶縁膜と、該層間絶縁膜中にデュアルダマシンプ法により形成された配線とを有し、上記層間絶縁膜が、半導体基板側から少なくとも第 1 のメチルシロキサン系膜、第 1 の絶縁膜、ハードマスク、第 2 のメチルシロキサン系膜、第 2 の絶縁膜が積層されてなる半導体装置。

【請求項 3 7】前記第 1 及び第 2 の絶縁膜が、酸化ケイ素系膜である請求項 3 6 記載の半導体装置。

30 【請求項 3 8】前記メチルシロキサン系膜が有機 S O G 膜である請求項 3 7 記載の半導体装置。

【請求項 3 9】前記ハードマスクが、窒化珪素系膜或いは炭化珪素系膜である請求項 3 8 記載の半導体装置。

【請求項 4 0】前記層間絶縁膜が、第 1 のメチルシロキサン系膜より前記半導体基板側にエッチング保護膜を有する請求項 3 9 記載の半導体装置。

【請求項 4 1】前記エッチング保護膜が窒化珪素膜或いは炭化珪素膜である請求項 4 0 記載の半導体装置。

【請求項 4 2】前記配線は、前記半導体基板に対し垂直方向の電気的接続部が前記第 1 のメチルシロキサン膜と前記第 1 の絶縁膜の積層膜中に形成され、前記半導体基板に対し水平方向の電気的接続部が前記第 2 のメチルシロキサン系膜と前記第 2 の絶縁膜の積層膜中に形成されている請求項 3 6 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線を備えた半導体装置及びその製造方法、特に、低寄生容量の多層配線を有し、数百 MHz 以上の高速で動作する半導体集積回路装置及びその製造方法に関する。

【0002】

【従来の技術】数百MHz以上の高速で動作する半導体集積回路装置では、多層配線での寄生容量が信号遅延の原因になっている。

【0003】図1は、多層配線の平面模式図である。1は半導体基板、4は下層配線、14は層間接続、24は上層配線である。寄生容量の増大の主原因は、微細化・高密度化のために隣接する下層配線間隔を縮小したことにある。通常、上下層の配線は直行する向きにレイアウトされるので、上下層の配線間では対抗面積が小さく、隣接する下層配線間の寄生容量のほうが上下層の配線間の寄生容量よりも信号遅延への影響が大である。このため隣接する下層配線間の絶縁膜材料（酸化ケイ素膜（比誘電率 $k \sim 4$ ）や窒化珪素膜（ $k \sim 7$ ））、をより低誘電率の絶縁膜材料に置き換えて隣接する下層配線間の寄生容量を低減する検討が盛んに行われている。

【0004】低誘電率膜（ $k \sim 3$ 程度以下）のひとつに、メチルシロキサン系膜がある。これは、 $\text{Si}-\text{CH}_3$ 結合と $\text{Si}-\text{O}-\text{Si}$ 結合を主成分とする膜である。この他に $\text{Si}-\text{H}$ 結合や $\text{Si}-\text{C}-\text{Si}$ 結合等を含む場合もある。成膜法としては、メチルシロキサンを含むオリゴマー液（塗布ガラス、Spin-on Glass（SOG））を回転塗布した後に焼成する方法と、 $\text{Si}-\text{CH}_3$ 結合を含むガスを酸性ガス等と反応させる化学気相成長（CVD）法の両者が検討されている。このメチルシロキサン系膜の長所は、耐熱性が高く、多層配線工程での熱処理（ $\sim 450^\circ\text{C}$ ）に対して安定な点である。

【0005】しかしながら、メチルシロキサン系膜に高圧酸素プラズマ処理を施すと、プラズマ中の酸素ラジカルにより膜が変質して吸湿し、電気特性等の膜質が劣化する。このため、レジストマスクを用いて加工し、高圧酸素プラズマ処理でレジストマスクを除去する従来のパターンニング法が使えないことが問題であった。

【0006】この問題を解決する第一の方法として、レジスト除去に低圧酸素プラズマを用いる方法が、特願昭63-151102に開示されている。この方法によれば、メチルシロキサン系膜の変質は抑制される。これは、低圧酸素プラズマ中の酸素イオンがメチルシロキサン系膜表面を緻密な酸化ケイ素に変え、この表面層が酸素ラジカルから膜内部を保護するためである。

【0007】レジスト除去の際の変質を防止する第二の方法として、レジストパターンをハードマスクに転写し、レジストを予め除去しておいた上でメチルシロキサン系膜を加工する方法が、特開平11-87502に開示されている。

【0008】図2～図4は、この第二の方法の説明するための製造工程断面図である。まず、メチルシロキサン系膜6の上に窒化珪素等のハードマスク材料8を形成し、その上に酸化ケイ素系膜27、さらにレジスト9を形成し、リソグラフィによりレジストをパターンニングする（図2）。このレジストマスク9を用いて酸化ケイ素

系膜27を加工した後、レジスト9を除去する（図3）。この際、メチルシロキサン系膜6はハードマスク材料8に覆われているため、酸素プラズマに晒されず、変質しない。酸化ケイ素系膜27を用いてハードマスク8を加工し、上層酸化ケイ素系膜27を除去した後、ハードマスク8を用いてメチルシロキサン系膜6を加工する（図4）。

#### 【0009】

【発明が解決しようとする課題】上記第一の方法では、アスペクト比（深さ／直径、または深さ／溝幅）の大きな孔や溝パターンを形成することができない。アスペクトが大きくなるとパターン側面に入射するイオンの数が減るため、メチルシロキサン系膜に表面保護層が形成されず、変質するからである。実用上、この方法が有効なのはアスペクト $< 3$ の場合に限られる。

【0010】上記第二の方法でメチルシロキサン系膜を加工すると、図4に示すように、ハードマスク8の肩部が斜めに削れてしまう。下層配線4が低抵抗の銅配線の場合、さらに配線表面のエッチング保護膜5をエッチングする必要がある（図5）。エッチング保護膜5としては窒化珪素系膜、炭化珪素系膜等が用いられる。この保護膜5のエッチング条件では、ハードマスク8やメチルシロキサン系膜6も保護膜4と同程度の速度でエッチングされる。このためハードマスク8の肩落ちがさらに顕著になる（図6）。ハードマスク8が完全に消失した部分があるとその下のメチルシロキサン系膜6がさらに肩落ちする。さらに、この肩落ちが次のメタル成膜の前処理（クリーニング）として行うアルゴンスパッタエッチの際、さらに拡大する（図7）。

【0011】この肩落ちによる第1の問題点は、上記アルゴンスパッタエッチの際、パターン底にかえって異物98が付着し、導通不良を起こすことである。肩落ち面のエッチ速度が同じでも、最初から肩落ちしていた場合のほうが、飛散する絶縁膜の量が多いからである。

【0012】また、この肩落ちによる第2の問題点は、パターンに埋め込んだ金属14同士が完全に分離せず、短絡不良99の原因となることである（図8）。

【0013】本発明の目的は、下層配線がエッチング保護膜に覆われている場合でも、肩落ちによる導通不良を起こすことなく、低誘電率のメチルシロキサン系膜に高アスペクト比の溝や孔を加工することが可能な半導体装置及びその製造方法を提供することにある。

#### 【0014】

【課題を解決するための手段】本発明の半導体装置の製造方法の実施態様によれば、層間接続のための孔或いは配線のための溝を形成する層間絶縁膜をメチルシロキサン系膜とこの膜上に異なる絶縁膜を積層したものとし、かかる積層膜をハードマスクを用いて加工する。これにより、レジストを用いてハードマスクに孔パターン或いは溝パターンを転写した後レジストを除去する際、メ

チルシロキサン系膜上は絶縁膜で覆われているので、メチルシロキサン系膜の変質を防止することができる。

【0015】また、積層膜に孔或いは溝を形成する際、絶縁膜がメチルシロキサン系膜とハードマスクの間に形成されていることによって、ハードマスクの肩落ちがメチルシロキサン系膜に転写されるのを防ぐことができ、上述の第1及び第2の問題点を解消することができる。尚、この作用効果は、上記絶縁膜のエッチング速度をハードマスクの1/3以下とすることによって、上記絶縁膜がメチルシロキサン系膜に対するハードマスクとして作用するので、より顕著なものとすることができる。このような絶縁膜の材料例としては、酸化ケイ素膜が配線間の寄生容量の増加を抑える観点から有効である。

【0016】さらに、層間接続のための孔と配線のための溝を一括して形成するデュアルダマシン法を用いる場合には、メチルシロキサン系膜とこの膜と異なる絶縁膜とハードマスクの積層膜上に同様の積層膜を形成した層間絶縁膜に孔及び溝を一括形成する。この場合にも、絶縁膜が、その下にあるメチルシロキサン系膜のレジスト除去による変質を防止するとともに、その上のハードマスクの肩落ちのメチルシロキサン系膜への転写を防ぐ。尚、上層のハードマスクに溝パターンを転写した後に下層のハードマスクに孔パターンを転写するデュアルダマシン法の場合には、下層のハードマスクに孔パターンを転写するのに用いたレジストの除去を低圧酸素プラズマ処理により行うことにより、下層のハードマスク上に形成されたメチルシロキサン系膜の変質を抑制することができる。

【0017】また、層間絶縁膜の最下層にエッチング保護膜を形成する場合には、このエッチング保護膜にも孔を形成する際に同時に露出している部分のハードマスクをも除去することにより、多層配線間の寄生容量を減少させることが可能となる。

【0018】本発明の半導体装置の実施態様によれば、デュアルダマシン配線とが形成された層間絶縁膜を下から第1メチルシロキサン系膜、第1絶縁膜、ハードマスク、第2メチルシロキサン系膜、第2絶縁膜が積層されたものとするにより、上述の製造方法を適用することができ、多層配線の導通不良や短絡不良等による製造歩留り低下を防止することができるので、数百MHz以上の高速動作可能な半導体集積回路装置を低コストで提供することができる。

【0019】

【発明の実施の形態】＜実施例1＞図9～図20は、多層配線形成にシングルダマシン法を適用した半導体装置の本発明による実施例1の製造工程断面／平面図である。

【0020】まず、図9に示すように、素子を形成したシリコン基板1に、第1の層間絶縁膜2を形成した後、電極引出しの孔を開口し、CVD法により窒化チタンを

埋め込み、化学機械研磨法により孔外部の金属を除去して引出し電極3を形成した。尚、図には、素子としてMOSトランジスタが示されている。

【0021】次に、図10に示すように、第2の層間絶縁膜12を形成した後、第1層配線用の溝を形成した。平坦な酸化ケイ素膜のエッチング量に換算して20nm分のスパッタエッチを施した後に、窒化チタンと銅を薄くスパッタで形成し、さらに銅めっきをすることにより溝内を窒化チタンからなるバリヤメタル膜4aと銅膜4bの積層膜で埋めこみ、さらに化学機械研磨法により溝外部の窒化チタンと銅を除去して第1層配線4a、4bを形成した。尚、この段階における平面図を、図11に示す。ここで、図10は、図11中のA-B間の断面図である。この断面図と上面図の関係は、以下の説明でも同様である。

【0022】ついで、図12に示すように、第1層配線のエッチング保護膜5としてプラズマCVD法により窒化ケイ素膜を50nm形成した後、メチルシロキサン系膜6として有機SOG膜を300nm塗布して窒素気流中425℃で焼成し、さらにプラズマCVD法により酸化ケイ素膜7を100nm、ハードマスク8として窒化ケイ素膜8を100nm形成した。

【0023】ついで、図13に示すように、レジスト9をマスクとして反応性ドライエッチングを行い、層間接続孔パターンをレジスト9からハードマスク8に転写した。このエッチング工程では、図14に示す平面図のように下層の有機SOG膜6を露出させることなく、エッチングを酸化ケイ素膜7でとめる必要がある。尚、図13のように酸化ケイ素膜7の上面ジャストで止める必要性はなく、多少酸化ケイ素膜がエッチングされても問題ない。

【0024】次に、図15に示すように、ICP型アッシャでレジスト9を除去した後、窒化ケイ素膜8をハードマスクにして反応性ドライエッチングを行い、酸化ケイ素膜7と有機SOG膜6をエッチングした。このエッチング工程での酸化ケイ素と有機SOGの窒化ケイ素に対するエッチング選択比は10であり、このエッチング工程によりハードマスクの膜厚は60nmになった。

【0025】ついで、図16に示すように、孔内を洗浄した後、保護膜5をエッチングにより除去し、第1層配線4a、4bの上面を露出させた。この際、パターン上部のハードマスク8の殆どが消失した。尚、第1層配線4a、4b上面が露出されればハードマスク8は残っていても良いが、配線間の寄生容量を低減するためにはこのエッチング工程で除去することが好ましい。

【0026】さらに、図17に示すように、平坦な酸化ケイ素膜換算で20nm分のスパッタエッチを施し、窒化チタンと銅を薄くスパッタで形成した後に、銅めっきをすることにより孔内を窒化チタンからなるバリヤメタル膜4aと銅膜4bの積層膜で埋めこみ、さらに化学機

械研磨法により孔外部の窒化チタンと銅を除去して層間接続14a, 14bを形成した。尚、この段階における平面図を、図18に示す。

【0027】この後、図19に示すように、前述の図12から図18までと同様の工程を繰り返して第2層配線24a, 24bを形成した。尚、15はエッチング保護膜としての窒化ケイ素膜、16はメチルシロキサン系膜としての有機SOG膜、17は酸化ケイ素膜、24aはバリアメタル膜としての窒化チタン、24bは銅である。また、この段階における平面図を、図20に示す。前述の図12～図18の工程と異なる点は、有機SOG16の膜厚が200nmと薄いことと、層間接続の孔パターンが第2層配線の溝パターンに変わったことの2点である。

【0028】以上のようにして形成した本実施例1の半導体装置における多層配線の歩留まりを評価した結果、0.25ミクロン径の層間接続孔の導通歩留および配線間隔0.25ミクロンの隣接配線の絶縁歩留はともに95%以上であり、形状劣化による歩留まり低下はなかった。

【0029】さらに、本実施例1の図12から図20の工程をさらに繰り返すことで3層配線を形成し、第2層配線の隣接配線間容量を測定した。得られた隣接配線間の実効誘電率は、3.3であった。

【0030】上述の実施例では、ハードマスクとして、窒化珪素膜を用いたが、これは主成分のほかにSi-H結合等を含んでいてもよい。また炭化珪素膜や、炭化珪素膜の主成分のほかにSi-H結合やSi-CH<sub>3</sub>結合等を含む膜でも同等である。

【0031】また、上述の実施例ではメチルシロキサン系膜として有機SOGを用いたが、これは、主成分のSi-CH<sub>3</sub>結合とSi-O-Si結合の他にSi-H結合やSi-C-Si結合等を含むものでもいいし、塗布法ではなくCVD法で成膜したものでもいい。また、あらかじめ有機ポリマーを混ぜたオリゴマー溶液を塗布しておき、焼成の際に有機ポリマーを分解・除去してできる低密度有機SOGでもいい。

【0032】尚、これらハードマスク、メチルシロキサン系膜の材料に関しては、以下の実施例においても同様である。

【0033】実施例1において、層間接続14a, 14bおよび第二層配線24a, 24bの成膜前のスパッタエッチ量（平坦な酸化ケイ素膜換算）をパラメータとして0.25ミクロン径の層間接続孔の導通歩留を評価した結果を、図21に示す。この図から分かるように、スパッタエッチ量10nmから40nmまで良好な歩留が得られた。

【0034】＜実施例2＞図22～図27は、多層配線形成にデュアルダマシンプ法を適用した半導体装置の本発明による実施例2の製造工程断面／平面図である。尚、

本実施例でも図9から図14までの工程は実施例1と同様である。

【0035】図13の工程後、図22に示すように、レジスト9を除去し、メチルシロキサン系膜16として第2の有機SOG膜を200nm塗布して窒素気流中425℃で焼成し、さらにプラズマCVD法により第2の酸化ケイ素膜17を100nm、第2のハードマスク18として窒化ケイ素膜を150nm形成した。

【0036】ついで、図23に示すように、第2のレジスト19をマスクとして反応性ドライエッチングを行い、第2層配線パターンを第2のハードマスク18に転写した。このエッチング工程では、図24に示す平面図のように下層の第2の有機SOG膜16を露出させることなく、エッチングを第2の酸化ケイ素膜17中でとめる必要がある。尚、図23のように第2の酸化ケイ素膜17の上面できっちりと止める必要はなく、第2の有機SOG膜16が露出しなければ、第2の酸化ケイ素膜がエッチングされてもかまわない。

【0037】次に、図25に示すように、ICP型アッシャで第2のレジスト19を除去した後、第2の窒化ケイ素膜18と第1の窒化ケイ素膜8をハードマスクにして反応性ドライエッチングを行い、第1, 第2の酸化ケイ素膜7, 17と第1, 第2の有機SOG膜6, 16をエッチングした。このエッチング工程での酸化ケイ素と有機SOGの窒化ケイ素に対するエッチング選択比は10であり、このエッチング工程により第1, 第2のハードマスク8, 18の露出部の膜厚は60nmになった。これにより、第1の有機SOG膜6と第1の酸化ケイ素膜7の積層膜中には層間接続のための孔が、また、第2の有機SOG膜16と第2の酸化ケイ素膜17の積層膜中には第2層配線のための溝が、それぞれ形成される。

【0038】ついで、図26に示すように、孔及び溝内を洗浄した後、保護膜5をエッチングした。この際、第1, 第2のハードマスク8, 18の露出部が殆ど消失した。尚、第1層配線4a, 4b上面の保護膜5が完全に除去できれば、露出部のハードマスク8, 18は残っていてもかまわないが、完全に除去することによって、配線間の寄生容量を低減することができるので、より好ましい。

【0039】さらに、図27に示すように、平坦な酸化ケイ素膜のエッチング量に換算して20nm分のスパッタエッチを施し、窒化チタンと銅を薄くスパッタで形成した後に、銅めっきをすることにより孔及び溝内を窒化チタンからなるバリアメタル膜34aと銅膜34bの積層膜で埋めこみ、さらに化学機械研磨法により孔及び溝外部の窒化チタンと銅を除去して、第1の有機SOG膜6と第1の酸化ケイ素膜7の積層膜中の層間接続34a, 34bと、第2の有機SOG膜16と第2の酸化ケイ素膜17の積層膜中の第2層配線34a, 34bを一体的に形成した。



【0040】以上のようにして形成した本実施例2の多層配線の歩留まりを評価した結果、0.25ミクロン径の層間接続孔の導通歩留および配線間隔0.25ミクロンの隣接配線の絶縁歩留はともに95%以上であり、形状劣化による歩留まり低下はなかった。

【0041】さらに、実施例1の図12から図14の工程と本実施例2の図22から図27の工程を繰り返すことで3層配線を形成し、第2層配線の隣接配線間容量を測定した。得られた隣接配線間の実効誘電率は3.6であった。実施例1より実効誘電率が増加したのは、厚さ100nmの第1のハードマスク用の窒化珪素膜8が層間絶縁膜中に残存するからである。

【0042】＜実施例3＞図28～図36は、多層配線形成にデュアルダマシン法を適用した半導体装置の本発明による他の実施例3の製造工程断面／平面図である。尚、本実施例でも図9から図12までの工程は実施例1と同様である。

【0043】図12の工程の後、図28に示すように、メチルシロキサン系膜16として第2の有機SOG膜16を200nm塗布して窒素气流中425℃で焼成し、さらにプラズマCVD法により第2の酸化ケイ素膜17を100nm、第2のハードマスク18として窒化ケイ素膜を100nm形成した。

【0044】ついで、図29に示すように、第1のレジスト19をマスクとして反応性ドライエッチングを行い、第2層配線パターンを第2のハードマスク18に転写した。このエッチング工程では、図30に示す平面図のように第2の有機SOG膜16を露出させることなく、エッチングを第2の酸化ケイ素膜17中でとめる必要がある。尚、図29のように第2の酸化ケイ素膜17の上面ジャストでエッチングを止める必要性はなく、第2の有機SOG膜16が露出しなければ、第2の酸化ケイ素膜17が多少除去されても良い。

【0045】次に、図31に示すように、ICP型アッシャで第1のレジスト19を除去した後、新たに第2のレジスト9をマスクにして反応性ドライエッチングを行い、層間接続孔パターンを転写した。このエッチング工程は、窒化ケイ素膜、酸化ケイ素膜、有機SOG膜いずれもエッチングできる条件で、第1の酸化ケイ素膜7が露出するまで行った。また、このエッチング工程では、図32に示す平面図のように第1の有機SOG膜6を露出させることなく、エッチングを第1の酸化ケイ素膜7中でとめる必要がある。尚、図31のように第1の酸化ケイ素膜7の上面ジャストでエッチングを止める必要はなく、第1の有機SOG膜6が露出しなければ、第1の酸化ケイ素膜7が多少エッチングされても良い。

【0046】ついで、図33に示すように、圧力10mTorrで酸素を用いた低压反応性ドライエッチングを行い、第2のレジスト9を除去した。尚、この状態での第2の有機SOG膜16及び第2の酸化ケイ素膜17中

に形成される孔のアスペクト比は、0.25ミクロン径の孔パターンでも3以下であり、第2のレジスト9の除去を低压で行うことにより、第2の有機SOG膜16は変質しなかった。

【0047】さらに、図34に示すように、第2の窒化ケイ素膜18と第1の窒素ケイ素膜8をハードマスクにして反応性ドライエッチングを行い、第1、第2の酸化ケイ素膜7、17と第1、第2の有機SOG膜6、16をエッチングした。このエッチング工程での酸化ケイ素と有機SOGの窒化ケイ素に対するエッチング選択比は10であり、このエッチング工程により第1、第2のハードマスク8、18の露出部の膜厚は60nmになった。これにより、第1の有機SOG膜6と第1の酸化ケイ素膜7の積層膜中には層間接続のための孔が、また、第2の有機SOG膜16と第2の酸化ケイ素膜17の積層膜中には第2層配線のための溝が、それぞれ形成される。

【0048】ついで、図35に示すように、孔及び溝内を洗浄した後、保護膜5をエッチングした。この際、第1、第2のハードマスク8、18の露出部が殆ど消失した。尚、第1層配線4a、4b上面が露出できれば、露出部のハードマスク8、18は残留しても問題ないが、完全に除去することによって、配線間の寄生容量を低減することができる。

【0049】さらに、図36に示すように、平坦な酸化ケイ素膜のエッチング量に換算して20nm分のスパッタエッチを施し、窒化チタンと銅を薄くスパッタで形成した後に、銅めっきをすることにより孔及び溝内を窒化チタンからなるバリアメタル膜34aと銅膜34bの積層膜で埋めこみ、さらに化学機械研磨法により孔及び溝外部の窒化チタンと銅を除去して、第1の有機SOG膜6と第1の酸化ケイ素膜7の積層膜中の層間接続34a、34bと、第2の有機SOG膜16と第2の酸化ケイ素膜17の積層膜中の第2層配線34a、34bを一体的に形成した。

【0050】以上のようにして形成した本実施例3の多層配線の歩留まりを評価した結果、0.25ミクロン径の層間接続孔の導通歩留および配線間隔0.25ミクロンの隣接配線の絶縁歩留はともに95%以上であり、形状劣化による歩留まり低下はなかった。

【0051】尚、上述の各実施例では、バリアメタル膜として窒化チタンを用いた例を示したが、これに限らず高融点金属の窒化物膜、例えば窒化タンタル、窒化タングステン等でも良い。

【0052】

【発明の効果】本発明によれば、多層配線の導通不良、短絡不良を防止することができる。

【図面の簡単な説明】

【図1】多層配線の平面模式図。

【図2】従来の多層配線の製造工程断面図。



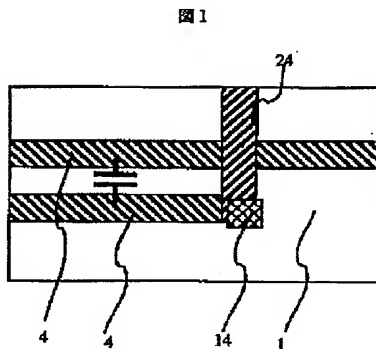
- 【図 3】従来の多層配線の製造工程断面図。  
 【図 4】従来の多層配線の製造工程断面図。  
 【図 5】従来の問題点を説明するための製造工程断面図。  
 【図 6】従来の問題点を説明するための製造工程断面図。  
 【図 7】従来の問題点を説明するための製造工程断面図。  
 【図 8】従来の問題点を説明するための製造工程断面図。  
 【図 9】本発明による実施例 1 の製造工程断面図。  
 【図 10】本発明による実施例 1 の製造工程断面図。  
 【図 11】本発明による実施例 1 の製造工程断面図。  
 【図 12】本発明による実施例 1 の製造工程断面図。  
 【図 13】本発明による実施例 1 の製造工程断面図。  
 【図 14】本発明による実施例 1 の製造工程断面図。  
 【図 15】本発明による実施例 1 の製造工程断面図。  
 【図 16】本発明による実施例 1 の製造工程断面図。  
 【図 17】本発明による実施例 1 の製造工程断面図。  
 【図 18】本発明による実施例 1 の製造工程断面図。  
 【図 19】本発明による実施例 1 の製造工程断面図。  
 【図 20】本発明による実施例 1 の製造工程断面図。  
 【図 21】層間接続と配線の成膜前スパッタエッチ量と層間接続の導通歩留の関係図。  
 【図 22】本発明による実施例 2 の製造工程断面図。  
 【図 23】本発明による実施例 2 の製造工程断面図。  
 【図 24】本発明による実施例 2 の製造工程断面図。

- 【図 25】本発明による実施例 2 の製造工程断面図。  
 【図 26】本発明による実施例 2 の製造工程断面図。  
 【図 27】本発明による実施例 2 の製造工程断面図。  
 【図 28】本発明による実施例 3 の製造工程断面図。  
 【図 29】本発明による実施例 3 の製造工程断面図。  
 【図 30】本発明による実施例 3 の製造工程断面図。  
 【図 31】本発明による実施例 3 の製造工程断面図。  
 【図 32】本発明による実施例 3 の製造工程断面図。  
 【図 33】本発明による実施例 3 の製造工程断面図。  
 【図 34】本発明による実施例 3 の製造工程断面図。  
 【図 35】本発明による実施例 3 の製造工程断面図。  
 【図 36】本発明による実施例 3 の製造工程断面図。

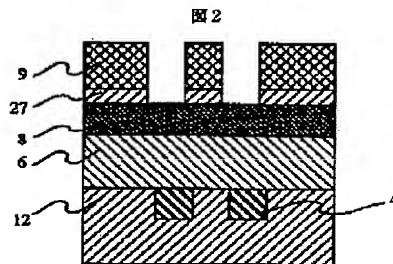
## 【符号の説明】

1…半導体基板、2, 12…層間絶縁膜、3…引出し電極、4…第 1 層配線、4a…第 1 層配線用バリアメタル、4b…第 1 層配線用 Cu、14…層間接続、14a…層間接続用バリアメタル、14b…層間接続用 Cu、24…第 2 層配線、24a…第 2 層配線用バリアメタル、24b…第 2 層配線用 Cu、34a…層間接続と第 2 層配線配線用バリアメタル、34b…層間接続と第 2 層配線配線用 Cu、5…第 1 の配線保護膜、15…第 2 の配線保護膜、6…第 1 のメチルシロキサン系膜、16…第 2 のメチルシロキサン系膜、7…第 1 の酸化ケイ素系膜、17…第 2 の酸化ケイ素系膜、47…酸化ケイ素系膜、8…第 1 のハードマスク、18…第 2 のハードマスク、9…第 1 のレジスト、19…第 2 のレジスト、98…異物、99…配線短絡部。

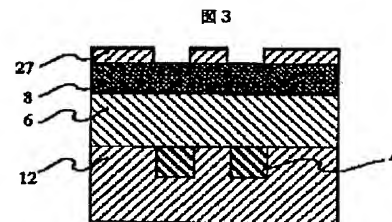
【図 1】



【図 2】

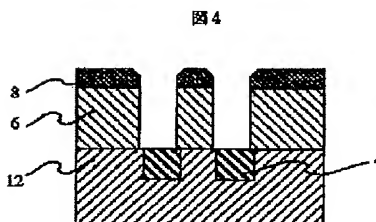


【図 3】



【図 6】

【図 4】



【図 5】

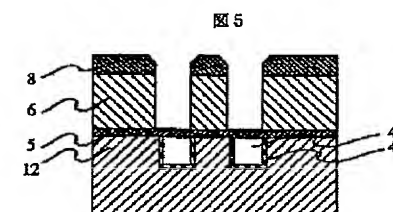
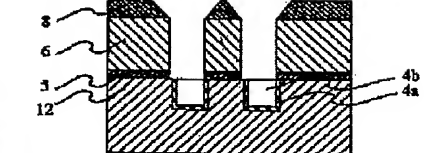
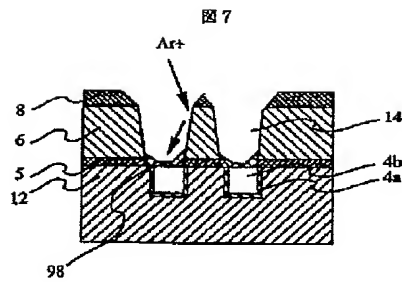


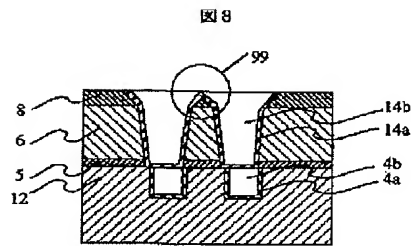
図 6



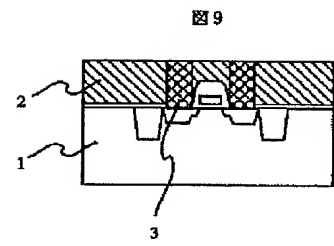
【図7】



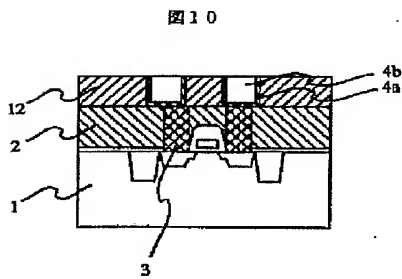
【図8】



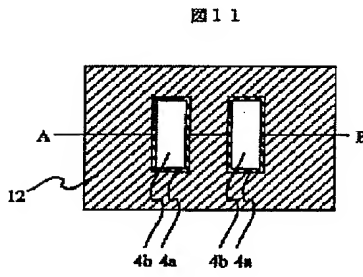
【図9】



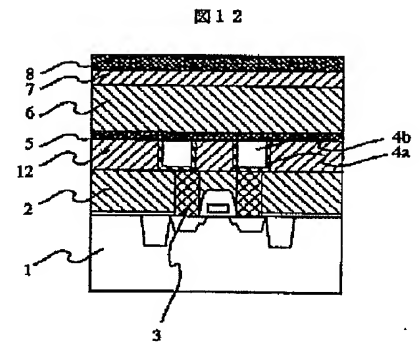
【図10】



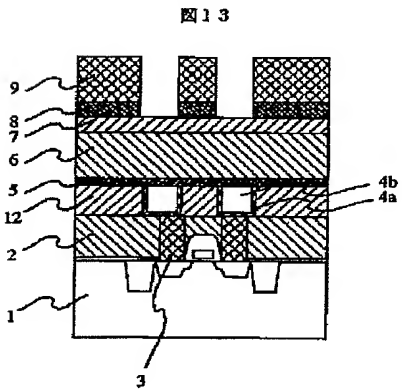
【図11】



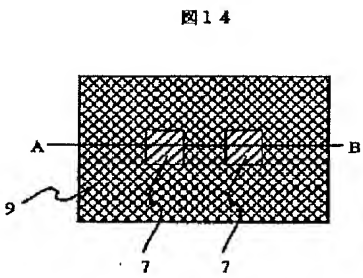
【図12】



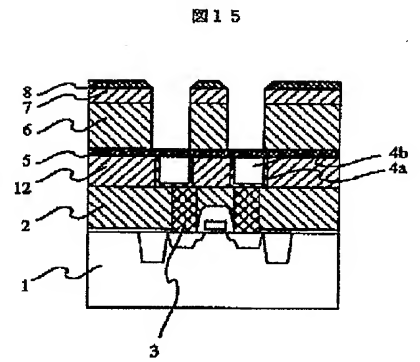
【図13】



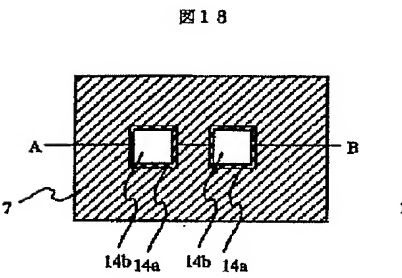
【図14】



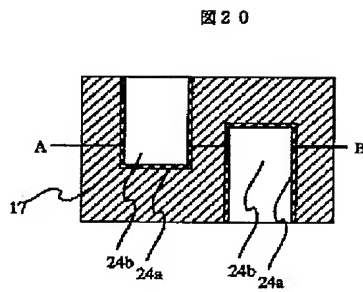
【図15】



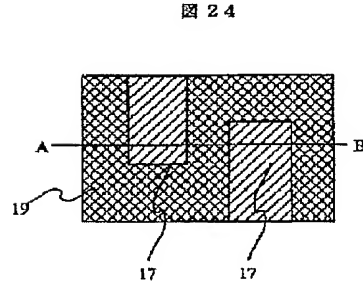
【図18】



【図20】

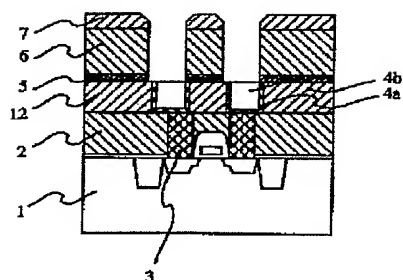


【図24】



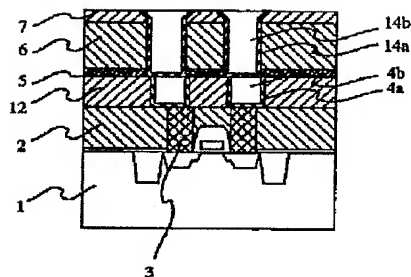
【図16】

図16



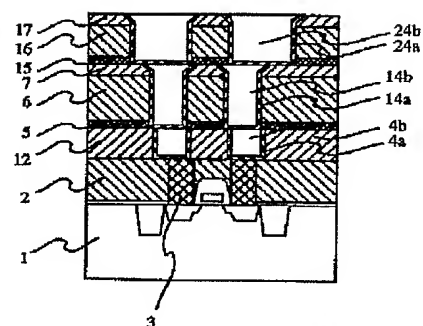
【図17】

図17



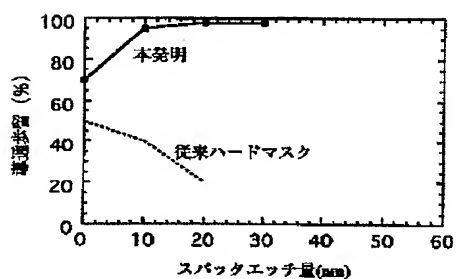
【図19】

図19



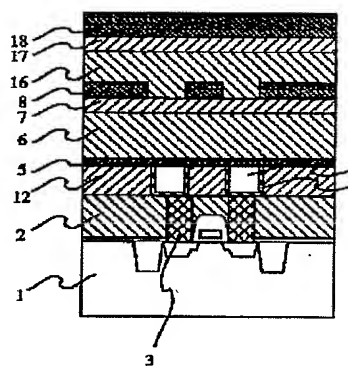
【図21】

図21



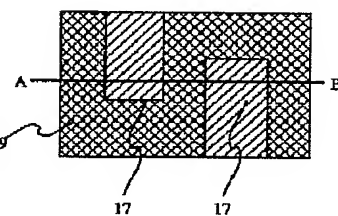
【図22】

図22



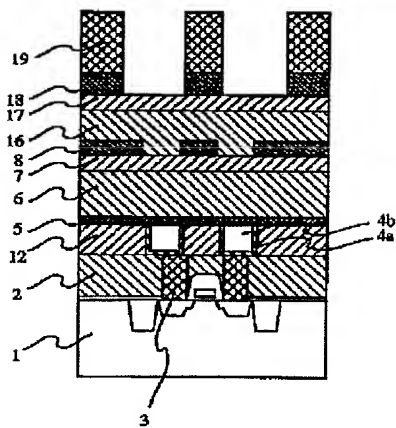
【図30】

図30



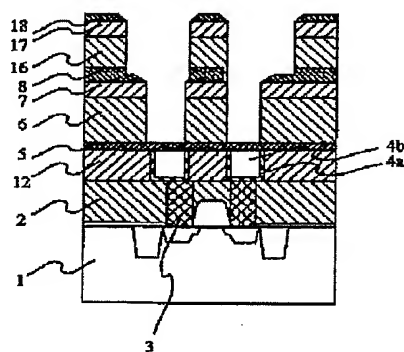
【図23】

図23



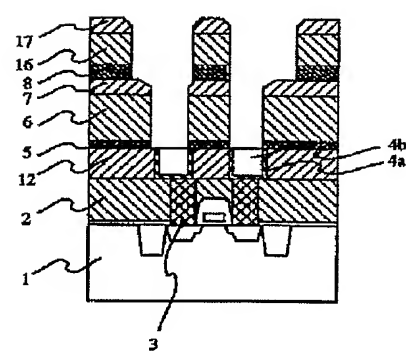
【図25】

図25



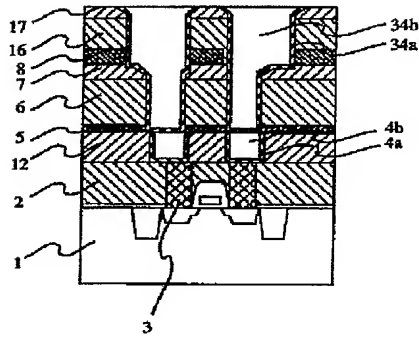
【図26】

図26



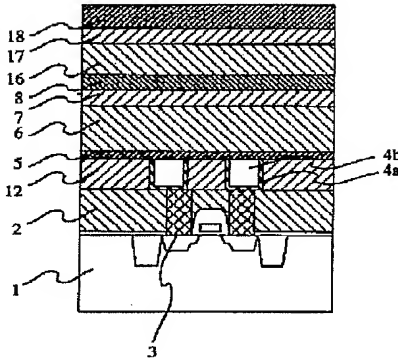
【図27】

図27



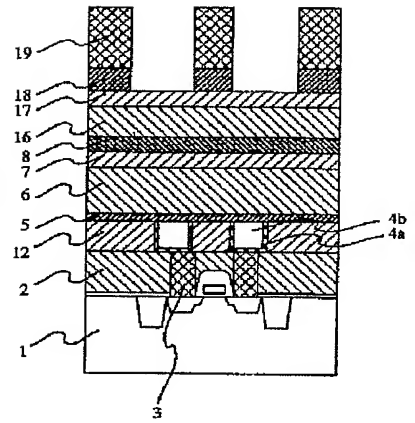
【図28】

図28



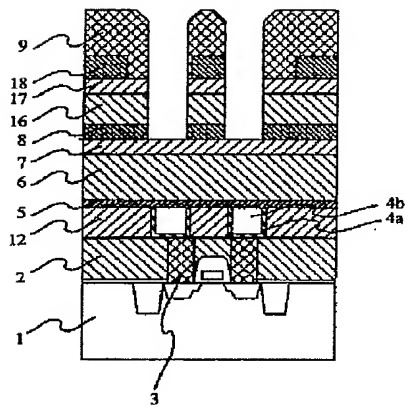
【図29】

図29



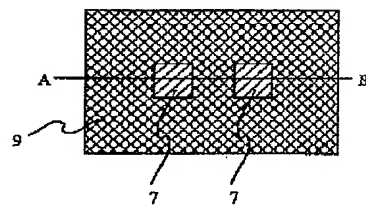
【図31】

図31



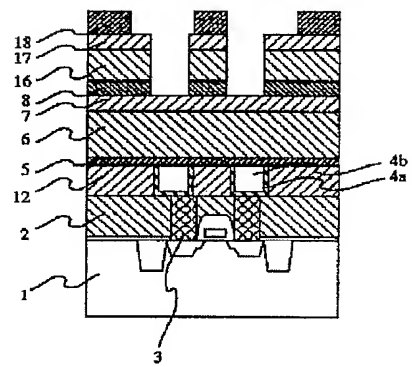
【図32】

図32



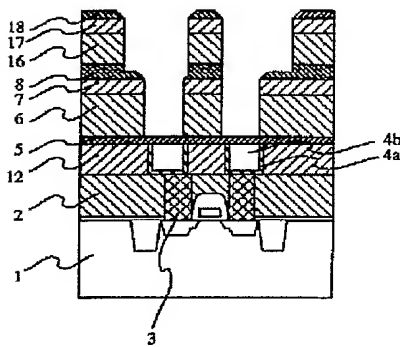
【図33】

図33



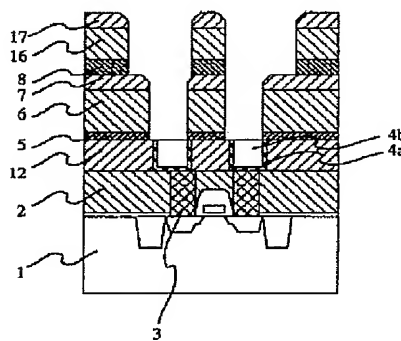
【図34】

図34



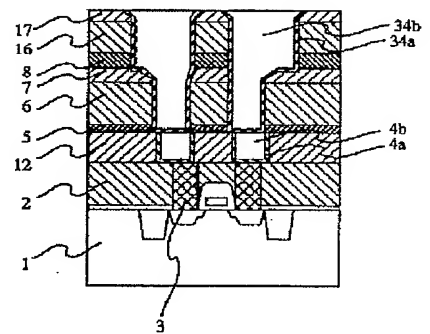
【図35】

図35



【図36】

図36



フロントページの続き

(72)発明者 町田 俊太郎  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

F ターム(参考) 5F033 HH11 HH33 JJ01 JJ33 KK11  
KK33 MM01 MM02 MM12 MM13  
NN06 NN07 NN37 PP06 PP15  
PP27 QQ13 QQ21 QQ23 QQ37  
QQ48 QQ92 RR01 RR04 RR06  
RR23 RR25 SS15 SS22 TT04  
XX23 XX27  
5F058 AA10 AD02 AD05 AD10 AF04  
AG01 AH02